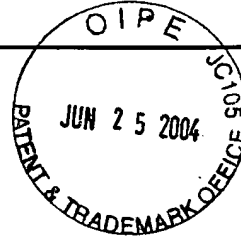


First Named Inventor	Girolamo Gallo	COMMUNICATION RE: FILING OF PRIORITY DOCUMENT UNDER 35 USC 119
Serial No.	10/700,997	
Filing Date	November 4, 2003	
Group Art Unit	2811	
Examiner Name	Unknown	
Confirmation No.	5619	
Attorney Docket No.	400.195US01	
Title: VARIABLE IMPEDANCE OUTPUT BUFFER		



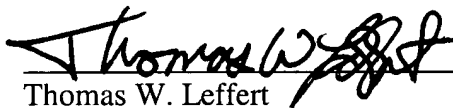
Commissioner for Patents
 M.S. Amendment
 P.O. Box 1450
 Alexandria, VA 22313-1450

In accordance with the requirements for claiming right of priority under 35 U.S.C. 119,
 enclosed for filing in the above-identified application is a certified copy of Applicant's priority
 application, RM2003A000085.

Please contact the undersigned attorney at (612) 312-2204 if you have any questions.

Respectfully submitted,

Date: 22 JUN 04


 Thomas W. Leffert
 Reg. No. 40,697

Attorneys for Applicant
 Leffert Jay & Polglaze
 P.O. Box 581009
 Minneapolis, MN 55458-1009
 T 612 312-2200
 F 612 312-2250

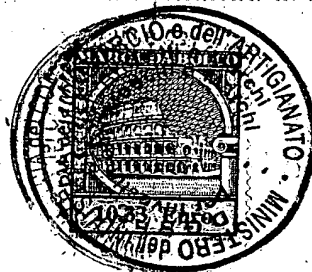


Ministero delle Attività Produttive
Direzione Generale per lo Sviluppo Produttivo e la Competitività
Ufficio Italiano Brevetti e Marchi
Ufficio G2

Autenticazione di copia di documenti relativi alla domanda di brevetto per:

Invenzione Industriale

N. **RM2003 A 000085**



*Si dichiara che l'unita copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito.*

Con esclusione del Riassunto con disegno principale come specificato dal richiedente.

24 NOV. 2003

Roma, li

Per IL DIRIGENTE

Paola Giuliano

D.ssa Paola Giuliano

AL MINISTERO DELLE ATTIVITA' PRODUTTIVE

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITA' AL PUBBLICO

MODULO A

N.G.

A. RICHIEDENTE (I)

1) Denominazione Micron Technology, Inc. codice _____
 Residenza Boise, Idaho (U.S.A.) US
 2) Denominazione _____ codice _____
 Residenza _____

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome e nome de Benedetti Fabrizio ed altri cod. fiscale _____
 denominazione studio di appartenenza SOCIETA' ITALIANA BREVETTI S.p.A.
 via Piazza di Pietra n. 39 città ROMA cap 00186 (prov) RM

C. DOMICILIO ELETTIVO destinatario

via _____ n. _____ città _____ cap _____ (prov) _____
 classe proposta (sez/cl/scl) _____ gruppo/sottogruppo _____ / _____

D. TITOLO

Buffer di uscita ad impedenza variabile.ANTICIPATA ACCESSIBILITA' AL PUBBLICO: SI ☐ NO ☒

SE ISTANZA: DATA ____ / ____ / ____

N. PROTOCOLLO

E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) GALLO Girolamo 3) _____
 2) MAROTTA Giulio Giuseppe 4) _____

F. PRIORITA'

nazione o organizzazione tipo di priorità numero di domanda data di deposito allegato S/R
 1) _____ / ____ / ____
 2) _____ / ____ / ____

SCIOGLIMENTO RISERVE

Data N° Protocollo

____ / ____ / ____
 ____ / ____ / ____

G. CENTRO ABILITATO DI RACCOLTA COLTURE DI MICRORGANISMI, denominazione

H. ANNOTAZIONI SPECIALI

(Società dello Stato del Delaware)

Lettera d'incarico segue

DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) 1 PROV ☐ n. pag. 41 riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)
 Doc. 2) 1 PROV ☐ n. tav. 04 disegno (obbligatorio se citato in descrizione, 1 esemplare)
 Doc. 3) 0 RIS ☐ lettera d'incarico
 Doc. 4) 0 RIS ☐ designazione inventore
 Doc. 5) 0 RIS ☐ documenti di priorità con traduzione in italiano
 Doc. 6) 0 RIS ☐ autorizzazione o atto di cessione
 Doc. 7) 0 nominativo completo del richiedente

SCIOGLIMENTO RISERVE

Data N° Protocollo

____ / ____ / ____
 ____ / ____ / ____
 ____ / ____ / ____
 ____ / ____ / ____
 confronta singole priorità
 ____ / ____ / ____

8) attestati di versamento, totale Euro duecentonovantuno/80

obbligatorio

COMPILATO IL 27 / 02 / 2003

FIRMA DEL (I) RICHIEDENTE (I)

Gilberto Tonon
 (Iscr. Albo n. 83 BM)

CONTINUA (SI/NO) NODEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA (SI/NO) SI

CAMERA DI COMMERCIO INDUSTRIA ARTIGIANATO E AGRICOLTURA DI

ROMA

codice 58

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

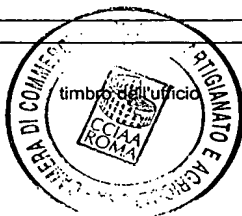
RM 2003 A 000085

Reg. A

L'anno duemilatre, il giorno ventisette del mese di febbraioIl (i) richiedente (i) sopraindicato (i) ha (hanno) presentato a me sottoscritto la presente domanda, corredata di n. 00 fogli aggiuntivi per la concessione del brevetto sopraportato.

ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

IL DEPOSITANTE



L'UFFICIALE ROGANTE

L'Ufficiale RoganteAlbio Albi

RM 2003 A 000085

SIB BI3354R

400.0195IT01

Descrizione dell'invenzione industriale dal titolo:

"BUFFER DI USCITA AD IMPEDENZA VARIABILE"

a nome di Micron Technology, Inc. (Società dello
Stato del Delaware)

di Boise, Idaho (U.S.A.)

ffffff

DESCRIZIONE

CAMPO TECNICO DELL'INVENZIONE

La presente invenzione si riferisce genericamente a dispositivi di memoria e più particolarmente ad un buffer di uscita per una circuiteria di ingresso/uscita di dispositivo di memoria (I/O) che fornisce una impedenza di uscita variabile per una integrità di segnale migliorata e per il supporto per un intervallo ampliato di tensione di lavoro.

BASE TECNICA DELL'INVENZIONE

I sistemi di telefonia cellulare ed altri dispositivi elettronici portatili di diversa fabbricazione hanno ciascuno le loro proprie particolari caratteristiche di lavoro. Il soddisfare questi diversi requisiti ha presentato una sfida per i fabbricanti di componenti. Ad



S.I.B.
ROMA

esempio, i fabbricanti di memorie per il mercato di dispositivi elettronici portatili e via radio tipicamente presenta una varietà di dispositivi di memoria per soddisfare le specifiche per diversi fabbricanti. Conseguentemente, lo sviluppo ed il costo di dispositivi di memoria per tali applicazioni viene ad essere significativamente influenzato.

Un primo requisito applicativo che varia in modo ampio tra fabbricanti di sistemi di telefonia cellulare è la tensione principale di alimentazione. Anche se la maggior parte dei fabbricanti di telefoni cellulari è passata a piattaforme a bassissima potenza ($VCC=1,65V - 2,0V$) un gran numero di applicazioni ancora richiede una interfaccia di ingresso uscita (I/O) a 3V ($VCCQ=2,7V - 3,3V$). Come conseguenza, i fabbricanti di memorie flash offrono tipicamente, in aggiunta a dispositivi del tutto a bassa tensione aventi sia il nocciolo di memoria e la interfaccia di I/O alimentata a 1,8V, dispositivi di alimentazione ad energia elettrica mista aventi una alimentazione di energia elettrica principale a 1,8V ed una interfaccia I/O a 3V. Inoltre, in futuro, i fabbricanti potrebbero decidere di passare a

sistemi aventi tensioni di alimentazione di energia elettrica principale più basse. Dato che dispositivi interamente a bassa tensione e a tensioni miste tipicamente impiegano diversi circuiti buffer di I/O, le due versioni essenzialmente presentano due progetti di sviluppo diversi e la loro fabbricazione richiede la generazione di due diversi insiemi di maschere.

Un altro requisito applicativo che varia da un sistema cellulare ad un altro è la impedenza di carico I/O. La grande variabilità delle caratteristiche di linee di trasmissione di carico, cioè, la capacità, induttanza e resistenza del carico, rende molto difficile ottimizzare la robustezza di pilotaggio di buffer. Ad esempio, la robustezza di pilotaggio adeguata per un carico da 30pF, può dare origine ad un segnale di uscita rumoroso per effetto del ringing del segnale. Il ringing del segnale deve essere ovviamente evitato mentre ancora si commuta con la massima velocità possibile per soddisfare i requisiti di prestazioni ad alta velocità dei circuiti e progetti integrati moderni. I problemi sopra menzionati, così come altri problemi, sono oggetto almeno in parte della presente invenzione e verranno compresi dalla

lettura e studio della seguente descrizione.

SOMMARIO

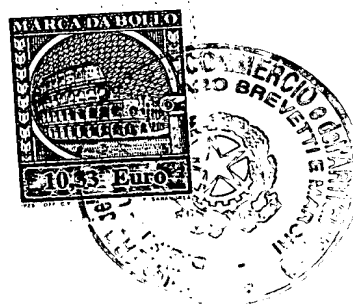
Un circuito di I/O per un dispositivo di memoria a semiconduttori secondo un aspetto della presente invenzione include un buffer di uscita che include uno stadio pilota comprendente uno o più transistori di pilotaggio, uno stadio di pre-pilota ed un circuito di retroazione, quale transistori di pilotaggio collegati in cascode, accoppiati allo stadio di pilotaggio per controllare dinamicamente la impedenza di uscita in risposta ad una condizione di carico di uscita. In un altro aspetto della presente invenzione, il buffer di uscita può includere circuiteria per supportare la conversione selettiva del buffer di uscita per il funzionamento con una varietà di intervalli di tensione di alimentazione senza la necessità di maschere o passi di processo aggiuntivi.

Per una prima forma di realizzazione, l'invenzione fornisce un buffer di uscita per un dispositivo di memoria a semiconduttori. Il buffer di uscita include uno stadio pilota comprendente uno o più transistori di pilotaggio, uno stadio di pre-pilotaggio accoppiato allo stadio di pilotaggio ed un circuito di retroazione per controllare

dinamicamente la impedenza del buffer di uscita in risposta ad una condizione di carico.

Per un'altra forma di realizzazione, l'invenzione fornisce un buffer di uscita per un dispositivo di memoria flash. Il buffer di uscita include un pilota di pull-up accoppiato tra un nodo di alimentazione di energia elettrica ed un nodo di uscita, un pilota di pull-down accoppiato tra un nodo di massa ed il nodo di uscita, un pre-pilota di pull-up accoppiato al pilota di pull-up ed un pre-pilota di pull-down accoppiato al pilota di pull-down. Il pilota di pull-up e pull-down comprendono ciascuno una molteplicità di transistori di pilotaggio collegati in cascode, in cui una porta di almeno uno dei transistori di pilotaggio collegati in cascode in ciascuno stadio pilota è accoppiato al nodo di uscita.

Per ancora un'altra forma di realizzazione, l'invenzione fornisce un dispositivo di memoria flash. Il dispositivo di memoria include una schiera di memoria non volatile, un buffer di uscita accoppiato alla schiera di memoria ed almeno una interconnessione programmabile per configurare selettivamente il buffer di uscita per il funzionamento ad un prestabilito intervallo di



tensione di alimentazione.

Per ancora un'altra forma di realizzazione, l'invenzione fornisce un metodo per fornire un buffer di uscita adattativo per quanto riguarda l'impedenza per l'impiego in un dispositivo di memoria. Il metodo include il fornire retroazione da un nodo di uscita del buffer di uscita ad un primo transistor collegato in cascode accoppiato tra un nodo di alimentazione di energia elettrica ed il nodo di uscita e per fornire la retroazione dal nodo di uscita del buffer di uscita ad un secondo transistor collegato in cascode accoppiato tra un nodo di massa ed il nodo di uscita.

Altre forme di realizzazione dell'invenzione includono metodi ed apparecchiature di ambito variabile.

BREVE DESCRIZIONE DEI DISEGNI

La fig. 1 mostra un sistema che include un elaboratore, un circuito di memoria, una sorgente di alimentazione, ed un circuito di I/O secondo gli insegnamenti della presente invenzione.

La fig. 2 mostra una illustrazione di una prima forma di realizzazione di un circuito di I/O secondo gli insegnamenti della presente invenzione.

La fig. 3 è uno schema a blocchi di una prima

forma di realizzazione di un circuito spostatore di livello selezionabile in tensione secondo gli insegnamenti della presente invenzione.

La fig. 4 è un grafico che mostra un confronto di tensione di uscita I/O per un tipico I/O per una memoria in confronto ad un I/O secondo la presente invenzione.

DESCRIZIONE PARTICOLAREGGIATA

Nella seguente descrizione particolareggiata dell'invenzione, si fa riferimento ai disegni allegati che ne formano parte, ed in cui vengono mostrate, a titolo di illustrazione, specifiche forme di realizzazione secondo le quali può essere realizzata in pratica l'invenzione. Nei disegni, numeri uguali descrivono componenti sostanzialmente simili nelle varie viste. Queste forme di realizzazione sono descritte con dettagli sufficiente per consentire a coloro che sono esperti nel ramo a ridurre in pratica l'invenzione. Si possono impiegare altre forme di realizzazione e si possono apportare variazioni strutturali, logiche ed elettriche senza allontanarsi dall'ambito della presente invenzione. La seguente descrizione particolareggiata, conseguentemente, non deve essere presa in senso limitativo, e

l'ambito della presente invenzione è definito soltanto dalle rivendicazioni allegate e loro equivalenti.

La fig. 1 mostra uno schema a blocchi semplificato di un sistema elettronico 100 che comprende un circuito 110 di memoria, una alimentazione 130 ed un elaboratore 140. La memoria 110 include una schiera di memoria 112 di celle di memoria non volatili quali una memoria flash, ed un circuito 120 di controllo di comando che controlla il funzionamento dettagliato della memoria 110 quali i singoli passi necessari per realizzare le operazioni di scrittura, lettura e cancellazione. La memoria 110 include inoltre un circuito 122 decodificatore di indirizzo per decodificare e selezionare indirizzi forniti dall'elaboratore 140 per accedere ad appropriate celle di memoria nella schiera di memoria 112, ed un circuito 124 di ingresso/uscita (I/O) per fornire comunicazioni bidirezionali tra l'elaboratore 140 ed il circuito 110 di memoria. In particolare, il circuito 124 di I/O include un circuito 200 buffer di uscita per fornire livelli di segnali di uscita ottimali per dispositivi esterni al circuito 110 di memoria. Per scopi di semplicità di spiegazione, il circuito 110

di memoria verrà descritto nel contesto di memoria flash, sebbene una persona esperta nel ramo riconoscerà che altri tipi di circuiti di memoria, quali, ad esempio, memoria ad accesso casuale dinamiche (DRAM), memorie ad accesso casuale statiche (SRAM), o memorie a sola lettura cancellabile elettricamente (EEPROM), così come altri circuiti integrati o dispositivi a semiconduttore, possono anche realizzare un buffer di uscita secondo uno o più aspetti della presente invenzione. Similmente, la memoria flash può essere ad architettura NOR oppure NAND, asincrona o sincrona, e può impiegare una architettura a segmento virtuale.

Uno schema semplificato di una forma di realizzazione di un circuito buffer di uscita 200 secondo la presente invenzione è mostrata in fig. 2. In questo esempio, il buffer di uscita 200 può funzionare nel così detto "intervallo a bassa tensione esteso" ($V_{CC}=1,6-2,0V$ e $V_{CCQ}=1,6V-2,3V$). In altre forme di realizzazione della presente invenzione, come verrà descritto oltre, un circuito buffer di uscita secondo la presente invenzione può essere convertito in un circuito in grado di funzionare in un intervallo di tensione più ampio



(VCCQ=1,6-3,3V) senza la necessità di aggiuntivi passi di processo o maschere.

Il circuito 200 di buffer di uscita include quattro blocchi principali: una sezione 210 di pre-pilotaggio di pull-up, una sezione 220 di pre-pilotaggio di pull-down, una sezione 230 di pilotaggio di uscita di pull-up, e una sezione 240 di pilota di uscita di pull-down.

La sezione 230 di pilotaggio di uscita di pull-up, che è pilotata dal corrispondente sezione 210 di pre-pilotaggio di pull-up, include il transistore 232 (PO) di pull-up e transistori 234 e 236 (P1 e P2) collegati in cascode accoppiati tra la piazzola di uscita (DQ) 250 ed il nodo di alimentazioni di I/O, VCCQ, disposto per ricevere una tensione di alimentazione. Le porte dei transistori di pull-up (PO) 232 e (P1)234 sono pilotati dal segnale pgate, generato dalla sezione di pre-pilotaggio di pull-up, mentre il gate del transistore di pull-up 236 (P2) è direttamente collegato alla piazzola di uscita 250. Il segnale fornito sulla piazzola di uscita 250 è rappresentativo del segnale dei dati DOUT, e quindi rappresentativo di un valore di dati di una cella della schiera di memoria.

Similmente, la sezione 240 di pilotaggio di uscita di pull-down, pilotata dalla corrispondente sezione 220 di pre-pilotaggio di pull-down, include un transistor 242 di pull-down (N0) e transistori 244 e 246 (N1 e N2) collegati in cascode accoppiati tra la piazzola di uscita DQ 250 ed il nodo di massa di I/O, GNDQ, disposto per ricevere il potenziale di massa di alimentazione. Le porte dei transistori 242 di pull-down (N0) e 244 (N1) sono pilotati dal segnale ngate, generato dalla sezione 220 di pre-pilotaggio di pull-down, mentre il gate del transistor 246 (N2) è direttamente collegato alla piazzola DQ 250. Segnali di ingresso alle sezioni 210 e 220 di pre-pilotaggio includono il segnale di abilitazione di uscita OE_, e il segnale di dati DOUT. Segnali di uscita dalle sezioni di pre-pilotaggio 210 e 220 sono, rispettivamente, pgate e ngate, che sono ambedue indicativi del segnale di dati DOUT e che controllano i gate dei pilota rispettivamente di pull-up e pull-down. I segnali ngate e pgate generalmente mantengono il medesimo livello logico, ma le loro transizioni possono essere spostate nel tempo.

Il buffer 200 di uscita funziona sostanzialmente come segue. Quando il segnale di

abilitazione di uscita OE_ è impostato a livello logico alto, l'uscita del buffer 200 è nel suo stato ad alta impedenza. Quando il segnale di abilitazione di uscita OE_ è impostato a 0 logico, i segnali pgate e ngate sono abilitati e il pilota 230 e 240 di pull-up e pull-down possono essere attivati a seconda del valore logico DOUT.

Le sezioni 210 e 220 di pre-pilotaggio includono ciascuna un circuito spostatore di livello (LS) 202 e 203, rispettivamente per traslare il livello di tensione. I circuiti 202 e 203 di spostamento di livello vantaggiosamente consentono di far funzionare il buffer con potenza di attesa 0, anche se la tensione di alimentazione di interfaccia di I/O, VCCQ è diversa dalla alimentazione VCC di memoria di nucleo. Una descrizione più particolareggiata dei circuiti 202 e 203 di spostamento di livello viene fornita in quanto segue facendo riferimento alla fig. 3.

La configurazione in cascode dei transistori di pilotaggio nelle sezioni di pilotaggio di pull-up e pull-down fornisce un controllo dinamico dell'impedenza del pilota di uscita e migliora i tempi di salita e di caduta del segnale di dati di uscita. Come risultato, il ringing di uscita viene

ridotto significativamente. Il circuito funziona essenzialmente nel modo seguente. Si consideri una transizione da alto a basso del segnale dei dati. In questo caso i segnali $\overline{n}gate$ e $\overline{p}gate$ commutano da 0 a VCCQ. Conseguentemente i transistori 232 (P0) e 234 (P1) della sezione 230 di pull-up sono commutati in disinserzione e non vi è percorso di tensione da VCCQ e DQ 250. Nella sezione di pull-down, all'inizio della transizione, tutti i 3 transistori 242 (N0), 244 (N1) e 246 (N2) sono commutati in attivazione, per cui le due diramazioni costituite dal transistore 242 (N0) ed i transistori collegati in cascode 244 (N1) e 246 (N2) contribuiscono ambedue alla corrente di carica del carico.

Non appena la tensione di uscita decresce e perviene vicina alla soglia di commutazione (V_{tn}) dei transistori a canale n, il percorso di corrente attraverso il transistore 244 (N1) e 246 (N2) viene progressivamente commutata in off e la corrente di uscita decresce di conseguenza. Quando la tensione sulla piazzola 250 DQ diviene più bassa di V_{tn} , il transistore 246 (N2) viene disinserito e la corrente di uscita è ora dovuta soltanto al percorso del transistore 242 (N0). Questo



comportamento dà origine ad una impedenza di uscita aumentata quando l'uscita sta raggiungendo la sua tensione finale GNDQ, per cui il ringing di uscita viene significativamente ridotto in un progetto secondo la presente invenzione in confronto ad un progetto di buffer di uscita convenzionale.

Un effetto analogo viene ottenuto per una transizione da alto a basso del segnale di dati risultanti dal circuito cascode simmetrico (o duale) introdotto nella sezione 230 di pilota di pull-up.

La fig. 4 mostra una simulazione Spice di risultati ottenuti da un modello circuitale della forma di realizzazione del buffer di uscita di fig. 2, secondo la presente invenzione. Nella fig. 4, la tensione di ingresso DOUT è confrontata con la tensione di uscita DQ da un circuito che non impiega la configurazione in cascode nei pilota di pull-up e pull-down rispetto alla tensione di uscita DQ da una forma di realizzazione di un circuito buffer di uscita secondo la presente invenzione. Ambedue le simulazioni si riferiscono alle seguenti condizioni: $L_{vss}=L_{vccq}=16nH$, $L_{dq}=8nH$, $C_{load}=30pF$. Come si può vedere, la circuiteria di retroazione secondo la presente invenzione riduce

significativamente il ringing di uscita, ma ha un impatto molto limitato sul tempo di ritardo del buffer di uscita.

Come detto precedentemente, i circuiti secondo la presente invenzione possono essere convertiti a funzionare nell'intervallo più ampio 1,6 - 3,3V VCCQ attraverso l'opzione di layout a 4 strati per supportare quelle applicazioni che possano richiedere una interfaccia di I/O a 3V. Questa conversione fondamentalmente comporta il sostituire ciascun transistor ad ossido sottile collegato alle alimentazioni VCCQ e GNDQ con un dispositivo corrispondente ad ossido spesso. I transistori influenzati da questa modifica sono quelli nelle sezioni di pre-pilota e pilota di uscita, inclusi gli spostatori di tensione. La presente invenzione può essere applicata ad altri intervalli di tensione di alimentazione del buffer di uscita più basse o più alte come può essere richiesto da fabbricanti di dispositivi di memoria a semiconduttori.

In un esempio, la conversione di layout può essere realizzata senza la necessità di passi di processo o maschere aggiuntivi poiché ossidi spessi sono impiegati comunemente in altri circuiti del

dispositivo flash, quali pompe e nuclei di memoria, ecc. La conversione può essere realizzata cambiando la porta in policristallino, e i livelli n^+ e p^+ . Le porte in poli cristallino possono anche essere modificate in dimensioni poiché la lunghezza minima di un transistor ad ossido spesso è generalmente più lunga di quella di un dispositivo ad ossido sottile, mentre le diffusioni n^+ e p^+ corrispondentemente possono essere sostituite da corrispondenti livelli HVn^+ e HVp^+ . Vantaggiosamente, le modifiche sopra menzionate richiedono soltanto un piccolo sforzo di editazione del layout dato che lo spazio per ricevere porte policristalline più lunghe può essere previsto in anticipo. Data la differenza delle caratteristiche I-V tra transistori ad ossido sottile e spesso, può anche essere richiesto un piccolo numero di modifiche in una delle maschere di metallo per adattare in modo migliore il circuito a funzionare nell'intervallo più ampio VCCQ. Ad esempio, la grandezza degli stadi di pull-down negli spostatori di livello di tensione dovrebbe essere aumentata. Al fine di adattare il circuito per impieghi in un diverso intervallo di tensione, si può impiegare una interconnessione programmabile per impegnare o

disimpegnare selettivamente gli elementi circuitali per il particolare intervallo di tensione. Ad esempio, un dispositivo secondo la presente invenzione può includere un sistema di selezione operativo per ricevere un segnale per selezionare quale intervallo di tensione sarà operativo per il dispositivo. Ad esempio, in un caso quando il sistema è realizzato come parte di un circuito integrato, il sistema di selezione può includere una o più opzioni di maschera di metallo. Le opzioni della maschera in metallo possono avere due o più condizioni selezionabili dall'utilizzatore (ad esempio diversi livelli di tensione fissi), ciascuno dei quali fornisce un diverso segnale di selezione, controllando in tal modo l'intervallo di tensione del dispositivo. Altre interconnessioni programmabili quali ponticelli, collegamenti a fusibile, o collegamenti programmabili elettricamente oppure otticamente, e simili, possono anche essere impiegati per la configurazione in un processo post-produzione.

La fig. 3 mostra uno schema semplificato di una forma di realizzazione di un circuito 300 spostatore di livello secondo la presente invenzione che può essere convertito al



funzionamento da un intervallo di tensione ad un altro aprendo o chiudendo selettivamente opzioni di maschera di metallo. Il circuito 300 spostatore di livello può essere impiegato in luogo degli spostatori di livello 202 e 203 di fig. 2. Il circuito 300 spostatore di livello include transistori PMOS 302 e 304 accoppiati in serie con il transistore NMOS 306 tra VCCQ e GNDQ. Le porte del transistore NMOS 306 e del transistore PMOS 304 sono accoppiate all'ingresso (in) dello spostatore di livello 300, che a sua volta è accoppiato selettivamente alla porta del transistore NMOS 308 dalla opzione 320 a maschera di metallo. Il transistore NMOS 308 è accoppiato in parallelo con il transistore NMOS 306. Il transistore NMOS 308 è anche accoppiato tra la porta del transistore PMOS 310 e GNDQ. La opzione a maschera di metallo 322 selettivamente sciunta la porta del transistore NMOS 308 a GNDQ. Il transistore PMOS 310 è accoppiato in serie con il transistore PMOS 312 ed il transistore NMOS 314 tra VCCQ e GNDQ. Il transistore NMOS 314 è accoppiato in parallelo con il transistore NMOS 316. Nella fig. 3, la chiusura delle opzioni 320 e 324 a maschera di metallo e l'apertura delle opzioni di metallo 322 e 326

aumenterà la grandezza dello stadio di pull-down dello spostatore di livello 300, facilitando in tal modo il funzionamento a tensioni di alimentazioni più elevate. Similmente, se il circuito viene fatto funzionare a $VCC = VCCQ$, non è richiesta la funzione di spostamento di tensione. In tali circostanze, la opzione 318 a maschera di metallo può essere chiusa per forzare il circuito spostatore di livello a funzionare come un invertitore, dando origine ad un funzionamento più rapido. In aggiunta all'aumentare la grandezza degli stadi di pull-down e di pull-up, si potrebbero impiegare transistori ad ossido relativamente più spesso per il funzionamento a tensioni più elevate. Conseguentemente, in aggiunta alla selezione delle opzioni appropriate di maschera di metallo per influenzare la grandezza degli stadi di pull-down e di pull-up, il processo di fabbricazione verrebbe anche modificato per regolare lo spessore del dielettrico di porta dei transistori dello spostatore 300 di livello come appropriato per la tensione di funzionamento prescelta. Anche se si potrebbero usare transistori ad ossido spesso per tensioni di funzionamento più basse, sono preferibili ossidi più sottili per

evitare la penalizzazione di velocità risultate associata con ossidi più spessi a tensioni più basse.

La fig. 2 mostra anche opzioni 261, 262 e 263 di maschera di metallo p_ovlp, e opzioni 271, 272 e 273 di maschera di metallo n_ovlp. Una o più di queste opzioni di maschera di metallo può essere aperta o chiusa per mettere a punto in modo fine l'errore di sovrapposizione dei segnali ngate e pgate, cioè, per assicurare che il segnale ngate abbia un livello logico sufficiente ad attivare i transistori 242 e 244 NMOS, il segnale pgate ha un livello logico insufficiente ad attivare i transistori 232 e 234 PMOS, e viceversa. Ciò è conveniente per evitare la conduzione simultanea indesiderata delle sezioni di pull-up e pull down del pilota di uscita, che aumenterebbero non necessariamente il consumo di energia elettrica. Ciò può essere effettuato regolando le velocità di variazione nei livelli del segnale applicato agli stadi pre-pilota in modo che la rapidità di variazione dei segnali ngate e pgate sarà relativamente rapida quando si effettua una transizione da un livello logico costituito per attivare il loro stadio pilota associato ad un

livello logico atto a disattivare il loro stadio pilota associato e relativamente lento quando si effettua una transizione da un livello logico disposto per disattivare il loro stadio pilota associato verso un livello logico disposto per attivare il loro stadio pilota associato, provocando in tal modo che uno stadio di pilota attivato si disattivi prima dell'attivazione dell'altro stadio pilota. L'eliminazione della sovrapposizione è preferibilmente lunga abbastanza per assicurare che non si verifichi la conduzione simultanea delle sezioni di pull-up e di pull-down. Tuttavia, l'aumento dei livelli di eliminazione della sovrapposizione ritarderà le transizioni di segnale.

CONCLUSIONE

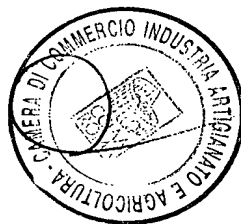
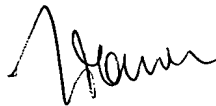
E' stato descritto un buffer di uscita per un dispositivo di memoria. Il buffer di uscita include un circuito di retroazione per controllare dinamicamente l'impedenza di uscita del pilota di uscita in risposta ad una varietà di condizioni di carico, adducendo in tal modo il ringing di uscita. Il buffer di uscita della presente invenzione può anche includere circuiteria per supportare il funzionamento ad una varietà di tensione di



alimentazione senza la necessità di passi di processo o maschere aggiuntive mediante una o più interconnessioni programmabili per selezionare l'intervallo di tensione desiderato.

Sebbene siano state illustrate e descritte in questa sede specifiche forme di realizzazione, si comprenderà da parte di coloro che hanno ordinaria esperienza nel ramo che qualsiasi disposizione che è calcolata per raggiungere lo stesso scopo può essere sostituita alle specifiche forme di realizzazione mostrate. Saranno chiare a coloro che hanno ordinaria esperienza nel ramo numerosi adattamenti dell'invenzione. Conseguentemente questa domanda è intesa proteggere qualsiasi adattamento o variazioni dell'invenzione. E' esplicitamente inteso che questa invenzione sia limitata soltanto dalle seguenti rivendicazioni e loro equivalenti.

Gilberto Tonon
(Iscr. Albo n. 83 B.M.)



RM 2003 A 000085

RIVENDICAZIONI

1. Buffer di uscita per un dispositivo a semiconduttori, comprendente:

uno stadio pilota comprendente uno o più transistori di pilotaggio;

uno stadio pre-pilota accoppiato allo stadio pilota; e

un circuito di retroazione per controllare dinamicamente l'impedenza del buffer di uscita in risposta ad una condizione di carico.

2. Buffer di uscita della rivendicazione 1, in cui il circuito di retroazione include transistori pilota collegati in cascode.

3. Buffer di uscita della rivendicazione 2, in cui gli stadi pilota e pre-pilota includono sezioni di pull-up e pull-down.

4. Buffer di uscita della rivendicazione 3 ulteriormente comprendente uno o più circuiti spostatori di livello.

5. Buffer di uscita della rivendicazione 4, in cui il buffer di uscita è configurabile selettivamente per il funzionamento ad una molteplicità di tensioni di alimentazione.

6. Buffer di uscita della rivendicazione 1, ulteriormente comprendente una interconnessione

programmabile per calibrare una rapidità di variazione nell'ingresso a livello di segnale verso una sezione di pull-up o pull-down del buffer di uscita.

7. Buffer di uscita della rivendicazione 1, in cui il buffer di uscita include inoltre una interconnessione programmabile per configurare selettivamente il buffer di uscita per il funzionamento ad un intervallo prestabilito di tensione di alimentazione.

8. Buffer di uscita della rivendicazione 7, in cui la interconnessione programmabile è programmabile durante la fabbricazione impiegando almeno una opzione di maschera di metallo.

9. Buffer di uscita per un dispositivo di memoria flash, comprendente:

un pilota di pull-up accoppiato tra un nodo di alimentazione di energia elettrica ed un nodo di uscita;

un pilota di pull-down accoppiato tra un nodo di massa ed il nodo di uscita;

un pre-pilota di pull-up accoppiato al pilota di pull-up; e

un pre-pilota di pull-down accoppiato al pilota di pull-down;

in cui il pilota di pull-up e pull-down includono ciascuno una molteplicità di transistori pilota collegati in cascode; e

in cui una porta di almeno uno dei transistori di pilotaggio collegati in cascode in ciascun pilota è accoppiata al nodo di uscita.

10. Buffer di uscita della rivendicazione 9, in cui le sezione di pre-pilota di pull-up e pull-down comprendono ulteriormente uno o più circuiti spostatori di livello.

11. Buffer di uscita della rivendicazione 10, in cui l'uno o più circuiti spostatori di livello sono configurati selettivamente per il funzionamento ad una molteplicità di tensione di alimentazione.

12. Buffer di uscita per un dispositivo di memoria a semiconduttori, comprendente:

uno stadio pilota di uscita di pull-down, comprendente:

un primo transistore NMOS di pull-down accoppiato tra un nodo di massa ed una piazzola di uscita;

secondi e terzi transistori NMOS di pull-down accoppiati in cascode tra il nodo di massa e la piazzola di uscita, il secondo transistore NMOS di



pull-down comprendendo una porta accoppiata ad una porta del primo transistor NMOS di pull-down;
uno stadio pilota di uscita di pull-up, comprendente:

un primo transistor PMOS di pull-up accoppiato tra un nodo di alimentazione di energia elettrica e la piazzola di uscita; e

secondi e terzi transistori PMOS di pull-up accoppiati in cascode tra il nodo di alimentazione di energia elettrica e la piazzola di uscita, il secondo transistor PMOS di pull-up comprendendo una porta accoppiata ad una porta del primo transistor PMOS di pull-up ed il terzo transistor PMOS di pull-up comprendente una porta accoppiata ad una porta del terzo transistor NMOS di pull-down;

uno stadio pre-pilota di pull-up accoppiato alla porta del secondo transistor PMOS di pull-up; e

uno stadio pre-pilota di pull-down accoppiato alla porta del secondo transistor NMOS di pull-down.

13. Buffer di uscita della rivendicazione 12, ulteriormente comprendente almeno una interconnessione programmabile per configurare selettivamente il buffer di uscita per funzionare ad una molteplicità di intervalli di tensione di

alimentazione.

14. Buffer di uscita della rivendicazione 13, in cui almeno una interconnessione programmabile è programmabile durante la fabbricazione impiegando una opzione a maschera metallica.

15. Buffer di uscita della rivendicazione 14, in cui l'intervallo di tensione di alimentazione prestabilito include 1,6 - 3,3V.

16. Buffer di uscita della rivendicazione 14, in cui l'intervallo di tensione di alimentazione prestabilito include un intervallo esteso a bassa tensione per un telefono cellulare.

17. Buffer di uscita della rivendicazione 12, ulteriormente comprendente almeno una interconnessione programmabile per regolare la non sovrapposizione di ingressi di livello di segnale verso sezioni di pull-up e pull-down del buffer di uscita.

18. Dispositivo di memoria flash, comprendente:

una schiera di memoria non-volatile;

un buffer di uscita accoppiato alla schiera di memoria; e

almeno una interconnessione programmabile per configurare selettivamente il buffer di uscita per

il funzionamento ad un intervallo prestabilito di tensione di alimentazione.

19. Dispositivo di memoria flash, comprendente:

una schiera di celle di memoria non-volatile; e
un buffer di uscita accoppiato alla schiera in cui il buffer di uscita ulteriormente comprende:

una piazzola di uscita per fornire un segnale rappresentativo di un valore di dati di una cella di memoria della schiera;

uno stadio pilota di uscita di pull-down, comprendente:

un primo transistor NMOS di pull-down accoppiato tra un nodo di massa e la piazzola di uscita, e
secondi e terzi transistori NMOS di pull-down accoppiati in cascode tra il nodo di massa e la piazzola di uscita, il secondo transistor NMOS di pull-down comprendendo un gate accoppiato al gate del primo transistor NMOS di pull-down; e

uno stadio pilota di uscita di pull-up, comprendente:

un primo transistor PMOS di pull-up accoppiato tra un nodo di alimentazione di energia elettrica e la piazzola di uscita, e

secondi e terzi transistori PMOS di pull-up

accoppiati in cascode tra il nodo di alimentazione di energia elettrica e la piazzola di uscita, il secondo transistor PMOS di pull-up comprendendo una porta accoppiata alla porta del primo transistor PMOS di pull-up ed il terzo transistor PMOS di pull-up comprendendo una porta accoppiata alla porta del terzo transistor NMOS di pull-down.

20 Dispositivo di memoria flash della rivendicazione 19, ulteriormente comprendente:

uno stadio pre-pilota di pull-up accoppiato alla porta del secondo transistor PMOS di pull-up per fornire un primo segnale indicativo del valore di dati; e

uno stadio pre-pilota di pull-down accoppiato alla porta del secondo transistor NMOS di pull-down per fornire un secondo segnale indicativo del valore di dati.

21. Dispositivo di memoria flash della rivendicazione 20, in cui ciascuno stadio pre-pilota ha uno spostatore di livello comprendente almeno una interconnessione programmabile per configurare selettivamente lo spostatore di livello per funzionare ad una molteplicità di intervalli prestabiliti di tensione di alimentazione.

22. Dispositivo di memoria flash della



rivendicazione 21, in cui un ingresso di ciascun stadio pre-pilota è adattato per effettuare transizioni relativamente rapidamente da un primo livello logico ad un secondo livello logico e relativamente lentamente dal secondo livello logico al primo livello logico.

23. Dispositivo di memoria flash della rivendicazione 21, in cui uno degli intervalli di tensione di alimentazione prestabiliti include 1,6 - 3,3V.

24. Metodo per fornire un buffer di uscita adattativo per quanto riguarda l'impedenza per l'impiego di un dispositivo di memoria flash, comprendente:

accoppiare un pilota di pull-up tra un nodo di alimentazione di energia elettrica e un nodo di uscita e accoppiare un pilota di pull-down tra un nodo di massa ed il nodo di uscita,

accoppiare un pre-pilota di pull-up al pilota di pull-up, e

accoppiare un pre-pilota di pull-down al pilota di pull-down,

in cui il pilota di pull-up e pull-down includono transistori di uscita collegati in cascode.

25. Metodo per fornire un buffer di uscita

adattativo per quanto riguarda l'impedenza per l'impiego in un dispositivo di memoria flash, comprendente:

fornire una retroazione da un nodo di uscita del buffer di uscita verso un primo transistor collegato in cascode accoppiato tra un nodo di tensione di alimentazione di energia elettrica ed il nodo di uscita; e

fornire la retroazione dal nodo di uscita del buffer di uscita verso un secondo transistor collegato in cascode accoppiato tra un nodo di massa e il nodo di uscita.

26. Metodo per regolare dinamicamente l'impedenza di un buffer di uscita per un dispositivo di memoria a semiconduttore, comprendente:

ridurre il pilotaggio in un pilota di pull-up come un livello di un segnale su una uscita del buffer di uscita che si avvicina al livello logico alto; e ridurre il pilotaggio in un pilota di pull-down mentre il livello del segnale sulla uscita del buffer di uscita si avvicina ad un livello logico basso.

27. Metodo della rivendicazione 26 in cui la riduzione del pilotaggio comprende inoltre

l'applicare il segnale sulla uscita del buffer di uscita alla porta del transistor collegato in cascode del pilota.

28. Buffer di uscita, comprendente:

uno stadio pilota di pull-up accoppiato per ricevere un primo segnale per accoppiare un nodo di uscita del buffer di uscita verso un nodo di potenziale di alimentazione in risposta al primo segnale avente un primo livello logico per presentare una elevata impedenza al nodo di uscita in risposta al primo segnale avente un secondo livello logico; e

uno stadio pilota di pull-down accoppiato per ricevere un secondo segnale per accoppiare il nodo di uscita ad un nodo potenziale di massa in risposta al secondo segnale che ha il secondo livello logico e per presentare una impedenza elevata verso il nodo di uscita in risposta al secondo segnale avente un primo livello logico;

in cui lo stadio pilota pull-up include almeno due transistori collegati in cascode accoppiati tra il nodo di potenziale di alimentazione ed il nodo di uscita con almeno uno dei suoi transistori collegati in cascode accoppiato per ricevere il primo segnale sulla sua porta ed almeno uno dei

suoi transistori collegati in cascode avente la sua porta accoppiata al nodo di uscita; e
in cui lo stadio pilota di pull-down include almeno due transistori collegati in cascode accoppiati tra il nodo di potenziale di massa ed il nodo di uscita con almeno uno dei suoi transistori collegati in cascode accoppiato per ricevere il secondo segnale sulla sua porta ed almeno uno dei suoi transistori collegati in cascode avendo la sua porta accoppiata al nodo di uscita.

29. Buffer di uscita della rivendicazione 28, in cui lo stadio pilota di pull-up inoltre comprende:

almeno un transistor accoppiato in parallelo con i suoi transistori collegati in cascode tra il nodo di potenziale di alimentazione ed il nodo di uscita ed avente la sua porta accoppiata per ricevere il primo segnale.

30. Buffer di uscita della rivendicazione 28, in cui lo stadio pilota di pull-down ulteriormente comprende:

almeno un transistor accoppiato in parallelo con i suoi transistori collegati in cascode tra il nodo di potenziale di massa ed il nodo di uscita ed avente la sua porta accoppiata per ricevere il



secondo segnale.

31. Sistema elettronico, comprendente:
una schiera di celle di memoria non volatile;
un elaboratore; e
un circuito di ingresso/uscita (I/O) per fornire comunicazioni bidirezionali tra l'elaboratore e la schiera di celle di memoria non volatile;
in cui il circuito di I/O include un buffer di uscita avente un nodo di uscita, il buffer di uscita comprendendo:
una sezione di pre-pilota di pull-up accoppiata per ricevere un primo segnale indicativo di un valore di dati di una cella di memoria della schiera;
una sezione di pre-pilota di pull-down accoppiata per ricevere un secondo segnale indicativo del valore di dati della cella memoria della schiera, in cui il primo segnale ed il secondo segnale sono genericamente allo stesso livello logico;
uno stadio pilota di pull-up accoppiato per ricevere un segnale di uscita dalla sezione di pre-pilota di pull-up per accoppiare il nodo di uscita ad un nodo di potenziale di alimentazione in risposta al primo segnale avente un primo livello logico e per presentare una impedenza elevata verso il nodo di uscita in risposta al fatto che il primo

segnale ha un secondo livello logico; e uno stadio pilota di pull-down accoppiato per ricevere un segnale di uscita dalla sezione di pre-pilota di pull-down per accoppiare il nodo di uscita verso un nodo di potenziale di massa in risposta al secondo segnale avente il secondo livello logico e per presentare una impedenza elevata verso il nodo di uscita in risposta al secondo segnale che ha un primo livello logico; in cui ciascuno stadio pilota include una circuiteria di retroazione per controllare dinamicamente l'impedenza del buffer di uscita in risposta ad una condizione di carico tra il buffer di uscita e l'elaboratore.

32. Sistema elettronico della rivendicazione 31, in cui la circuiteria di retroazione per lo stadio pilota di pull-up include un transistor collegato in cascode accoppiato tra il nodo di potenziale di alimentazione ed il nodo di uscita ed in cui la porta del transistor collegato in cascode è accoppiata al nodo di uscita.

33. Sistema elettronico della rivendicazione 31, in cui la circuiteria di retroazione per lo stadio pilota pull-down include un transistor collegato in cascode accoppiato tra il nodo di

potenziale di massa ed il nodo di uscita ed in cui la porta del transistor collegato in cascode è accoppiata al nodo di uscita .

34. Sistema elettronico della rivendicazione 31, ulteriormente comprendente:

in cui lo stadio pilota di pull-up include almeno due transistori collegati in cascode accoppiati tra il nodo di potenziale di alimentazione ed il nodo di uscita con almeno uno dei suoi transistori collegati in cascode accoppiato per ricevere il segnale di uscita dallo stadio pre-pilota di pull-up sulla sua porta ed almeno uno dei suoi transistori collegati in cascode avente la sua porta accoppiata al nodo di uscita; e

in cui lo stadio pilota di pull-down comprende almeno due transistori collegati in cascode accoppiati dal nodo di potenziale di massa ed il nodo di uscita con almeno uno dei suoi transistori collegati in cascode accoppiato per ricevere il segnale di uscita dallo stadio di pre-pilota di pull-down sulla sua porta ed almeno uno dei suoi transistori collegati in cascode che ha la sua porta accoppiata al nodo di uscita.

35. Metodo per la fabbricazione di un buffer di uscita per un dispositivo a semiconduttori,

comprendente:

selezionare tra il funzionamento ad un primo potenziale di alimentazione o un secondo potenziale di alimentazione, in cui il secondo potenziale di alimentazione è più alto del primo potenziale di alimentazione;

fabbricare transistori di sezioni pilota e pre-pilota del buffer di uscita per avere un primo spessore per il primo potenziale di alimentazione o un secondo spessore per il secondo potenziale di alimentazione, in cui il secondo spessore è più alto del primo spessore;

fabbricare i transistori per avere un primo livello di drogaggio per il primo potenziale di alimentazione o un secondo livello di drogaggio per il secondo potenziale di alimentazione, in cui il secondo livello di drogaggio è più basso del primo livello di drogaggio;

fabbricare i transistori per avere una prima lunghezza di porta per il primo potenziale di alimentazione o una seconda lunghezza di porta per il secondo potenziale di alimentazione, in cui la seconda lunghezza di porta è più lunga della prima lunghezza di porta ed in cui è previsto uno spazio per ricevere la seconda lunghezza di porta a



seconda se viene scelta la prima lunghezza di porta o la seconda lunghezza di porta; e
fabbricare uno stadio di pull-down di uno spostatore di livello per il buffer di uscita per avere una prima grandezza per il primo potenziale di alimentazione ed una seconda grandezza per il secondo potenziale di alimentazione, in cui la prima grandezza è più piccola della seconda grandezza, ed in cui la grandezza dello stadio di pull-down è determinata mediante la programmazione di una o più interconnessioni programmabile per impegnare o disimpegnare selettivamente elementi circuitali dello spostatore di livello.

36. Metodo della rivendicazione 35, in cui la programmazione dell'una o più interconnessioni programmabile si verifica durante la fabbricazione.

37. Metodo della rivendicazione 36 in cui la programmazione dell'una o più interconnessioni programmabili include il selezionare opzioni di maschera di metallo.

38. Metodo della rivendicazione 35, in cui la programmazione dell'una o più interconnessioni programmabili si verifica dopo la produzione impiegando interconnessioni programmabili selezionate dal gruppo costituito da ponticelli,


collegamenti fusibili, collegamenti programmabili elettricamente e collegamenti programmabili otticamente.

39. Metodo della rivendicazione 35, ulteriormente comprendente:

fabbricare uno stadio di pull-up dello spostatore di livello del buffer di uscita per avere una prima grandezza per un primo potenziale di alimentazione ed una seconda grandezza per il secondo potenziale di alimentazione, in cui la prima grandezza è più piccola della seconda grandezza, ed in cui la grandezza dello stadio di pull-up è determinata programmando una o più interconnessioni programmabili per impegnare o disimpegnare selettivamente elementi circuitali dello spostatore di livello.

p.p. Micron Technology, Inc.

Giulio Turchi
(leg. Allo n. 03 BM)



RM 2003 A 000085

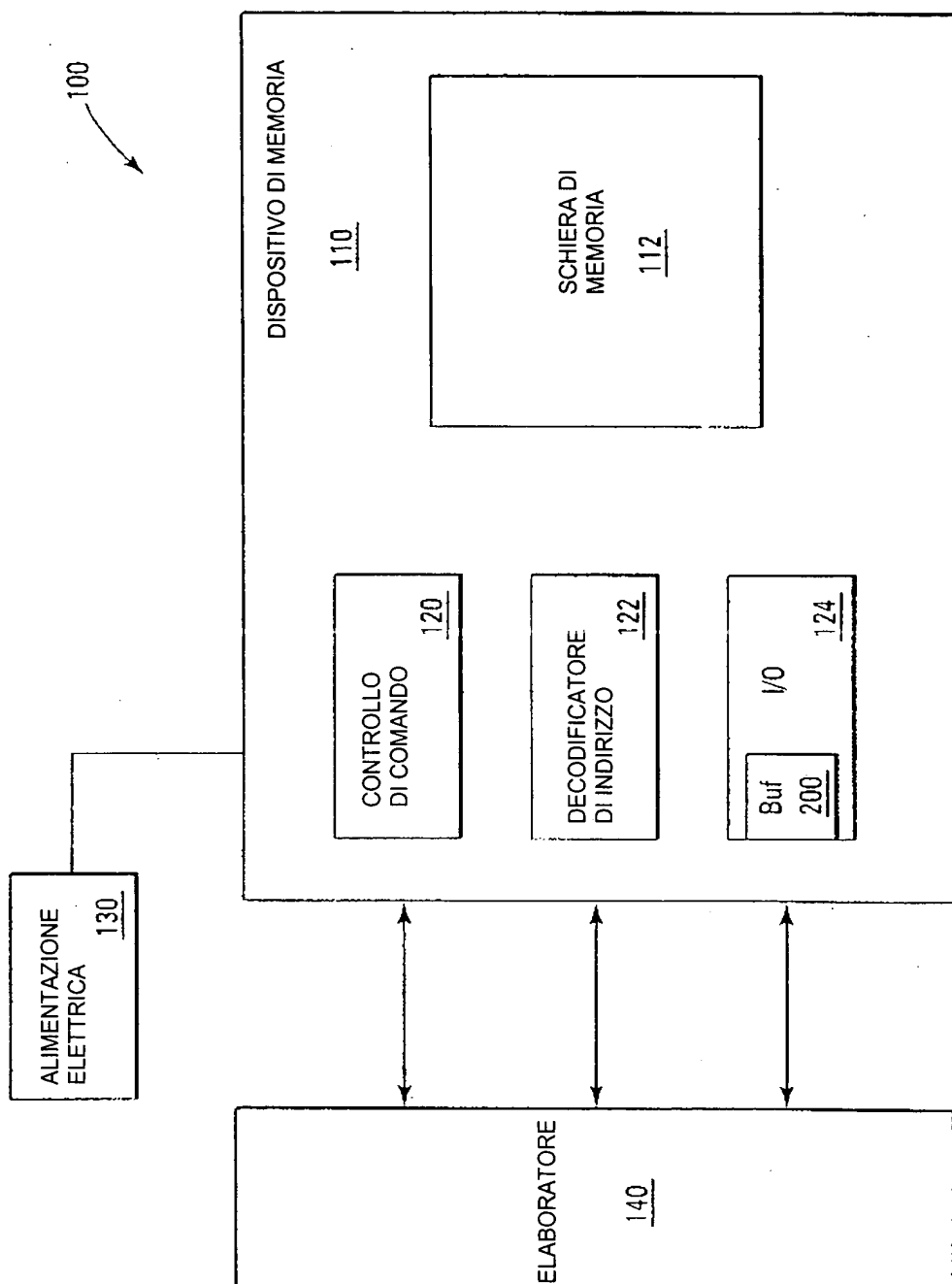
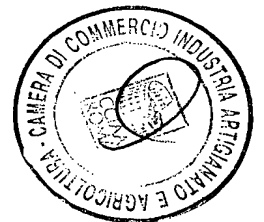
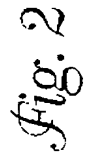


Fig. 1





Gilberto Tonon
(Iscr. Albo n. 83 BM)

John

RM 2003 A 000085

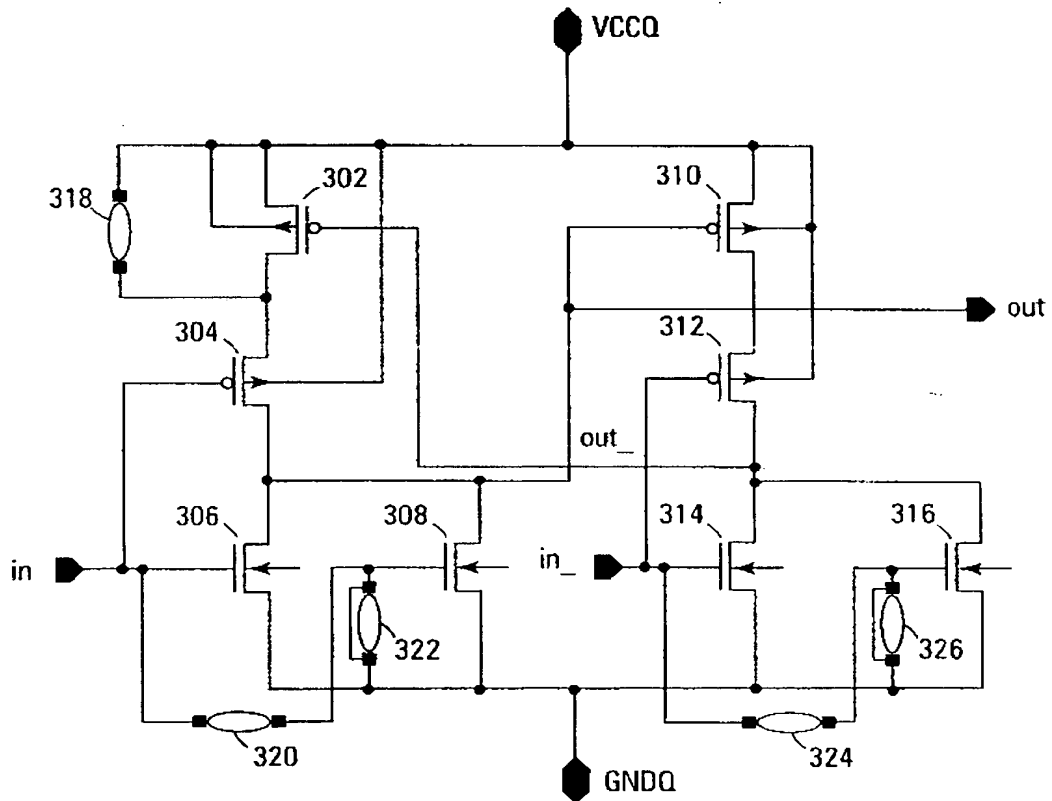
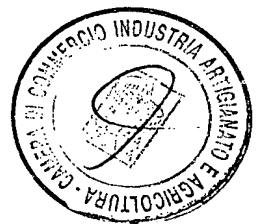


Fig. 3



RM 2003 A 000085

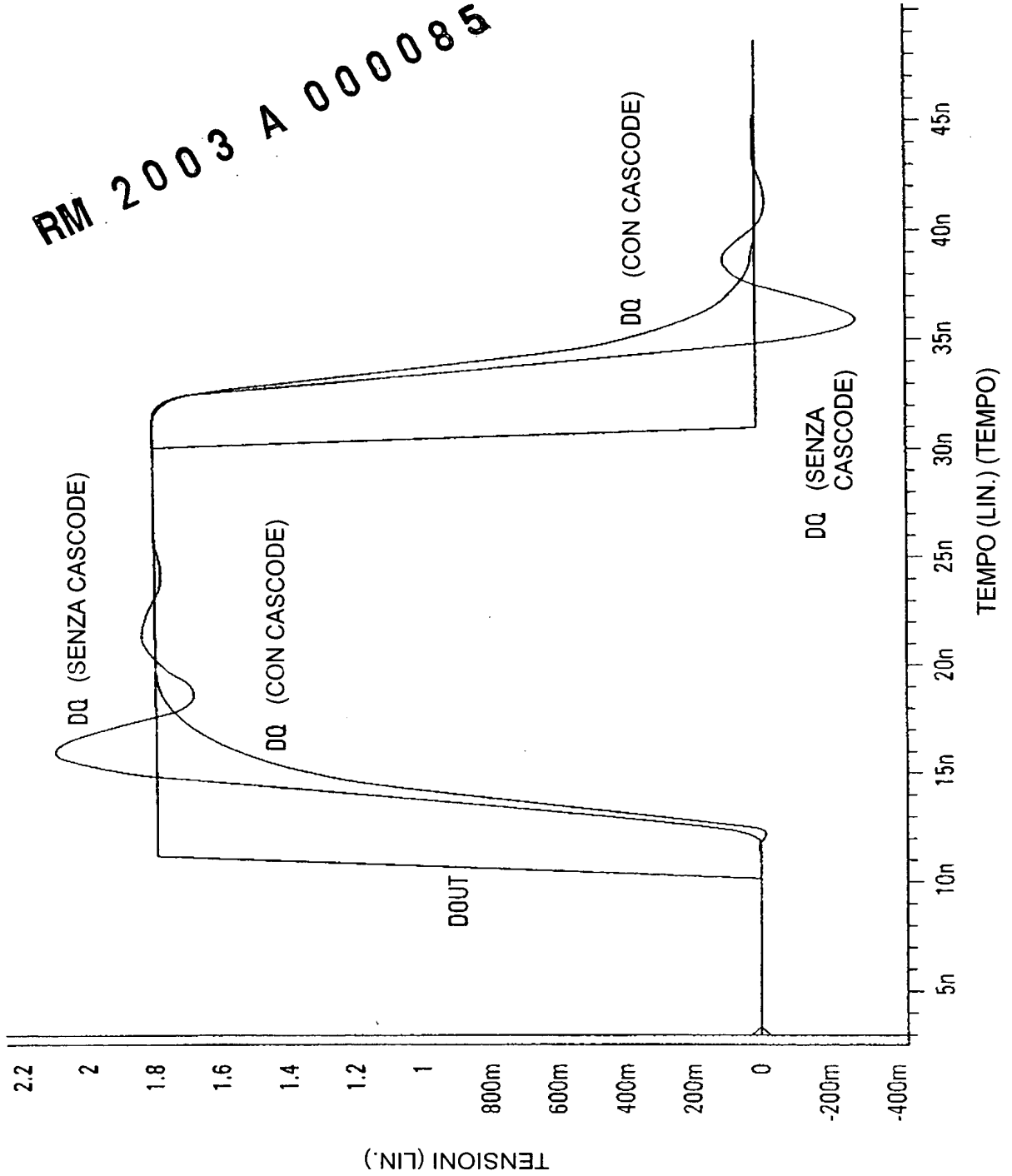


Fig. 4

